

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168185
 (43)Date of publication of application : 22.06.1999

(51)Int.CI. H01L 27/10
 H01L 21/60
 H01L 25/065
 H01L 25/07
 H01L 25/18
 H03K 19/173

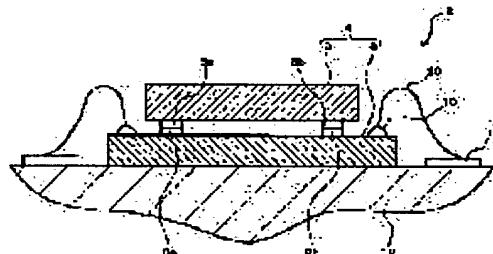
(21)Application number : 09-333376 (71)Applicant : ROHM CO LTD
 (22)Date of filing : 03.12.1997 (72)Inventor : AKIYAMA MASUKUNI

(54) LAMINATED SUBSTRATE BODY AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device which is able to realize intended function in a short delivery time and has the high degree of integration.

SOLUTION: A laminated chip 4 is constituted by means of bonding pads 8a, 8b,... of a first chip 8 and pads 6a, 6b,... of a second chip 6. In the first chip 8, a field programmable gate array FPGA is formed. In the second chip 6, a central processing unit CPU is formed. An LSI 2 is used as a controller for controlling, e.g. an outer device. In this case, the FPGA functions as an interface circuit for linking the CPU with the outer device. By changing the FPGA program, the intended interface circuit corresponding to the outer device can be obtained. Furthermore through the use of the laminated chip 4, this kind of controller the requirement for space saving of which is large, can be made compact.



LEGAL STATUS

[Date of request for examination] 24.10.2000

[Date of sending the examiner's decision of rejection] 21.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 12.04.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of 2003-08690
rejection]

[Date of requesting appeal against examiner's 15.05.2003
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. ⁶	識別記号	F I
H 01 L 27/10	4 9 5	H 01 L 27/10 4 9 5
21/60	3 1 1	21/60 3 1 1 S
25/065		H 03 K 19/173 1 0 1
25/07		H 01 L 25/08 B
25/18		

審査請求 未請求 請求項の数11 OL (全12頁) 最終頁に続く

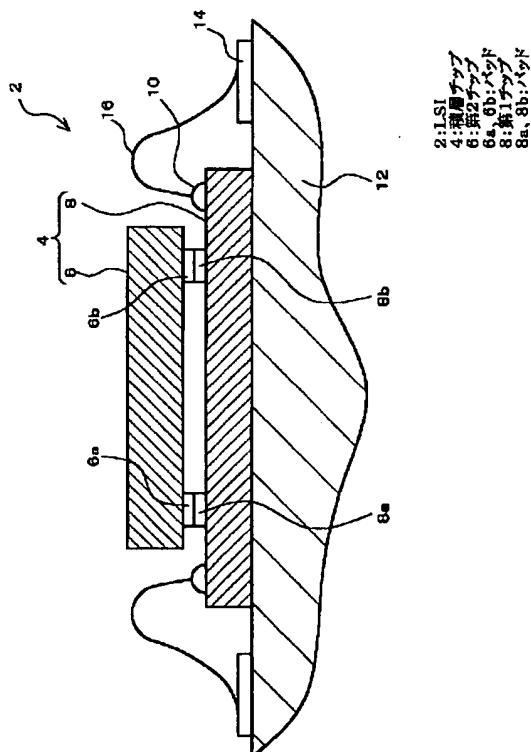
(21)出願番号	特願平9-333376	(71)出願人 000116024 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(22)出願日	平成9年(1997)12月3日	(72)発明者 秋山 益國 京都府京都市右京区西院溝崎町21番地 ロ ーム株式会社内

(54)【発明の名称】 積層基板体および半導体装置

(57)【要約】

【課題】 短納期で所望の機能を実現することができ、かつ、集積度の高い半導体装置を提供する。

【解決手段】 第1チップ8のパッド8a, 8b, . . . と第2チップ6のパッド6a, 6b, . . . とを接合することにより、積層チップ4を構成している。第1チップ8にはFPGA (フィールド・プログラマブル・ゲート・アレー) が形成され、第2チップ6にはCPU (中央処理ユニット) が形成されている。LSI 2は、たとえば外部機器を制御するコントローラとして使用される。この場合FPGAは、CPUと外部機器とを連結するインターフェース回路として機能する。FPGAのプログラムを変更することで、外部機器に対応した所望のインターフェース回路を得ることができる。また、積層チップ4を用いることで、省スペースの要求が大きいこの種のコントローラをコンパクトにすることができます。



【特許請求の範囲】

【請求項1】あらかじめ用意された複数の回路要素相互をプログラム可能なスイッチ手段を用いて継断することにより所望の機能を取得するプログラム可能な第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、

第1の機能部に関連する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、
を備え、

第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、

を特徴とする積層基板体。

【請求項2】請求項1の積層基板体において、前記第2の機能部が、外部機器を制御する機能を備えており、

前記第1の機能部が、第2の機能部と当該外部機器とを連結するインターフェース機能を備えていること、を特徴とするもの。

【請求項3】請求項1の積層基板体において、前記第2の機能部が、情報を記憶する機能を備えており、

前記第1の機能部が、第2の機能部に記憶された情報に関連する処理を行なう機能を備えていること、を特徴とするもの。

【請求項4】請求項1の積層基板体において、前記第2の機能部が、アナログ処理を行なう機能を備えており、

前記第1の機能部が、第2の機能部で行なわれるアナログ処理に関連するデジタル処理を行なう機能を備えていること、を特徴とするもの。

【請求項5】請求項1の積層基板体において、前記第2の機能部が、前記第1の機能部を制御する機能を備えていること、を特徴とするもの。

【請求項6】請求項1ないし請求項5のいずれかの積層基板体において、

電源からの電力を前記第1の基板に供給するとともに、第1の基板を介して前記第2の基板に電力を供給するよう構成したこと、を特徴とするもの。

【請求項7】情報を記憶する機能を備えた第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、

第1の機能部を制御する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、
を備え、

第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、
を特徴とする積層基板体。

【請求項8】請求項1ないし請求項7のいずれかの積層基板体において、

前記第1の基板および第2の基板が、ともに高電圧ラインを備えており、

第1の基板の高電圧ラインの電圧と第2の基板の高電圧ラインの電圧とが実質的に同一になるよう構成したこと、
を特徴とするもの。

【請求項9】請求項8の積層基板体において、前記第1の基板の高電圧ラインと第2の基板の高電圧ラインとを電気的に接続するための第1の入出力端子と第2の入出力端子との対を複数組設けるよう構成したこと、
を特徴とするもの。

【請求項10】請求項1ないし請求項9のいずれかの積層基板体において、

前記第1の基板または第2の基板の一方に、当該積層基板体の外部に対する入力または出力を行なう外部用端子を設け、

前記外部用端子が設けられた基板に属する前記第1の入出力端子または第2の入出力端子のいずれかと、当該外部用端子とを電気的に接続するよう構成したこと、
を特徴とするもの。

【請求項11】請求項1ないし請求項10のいずれかの積層基板体を備えたこと、を特徴とする半導体装置。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は基板および半導体装置に関し、特に、基板を積層した積層基板体および積層基板体を備えた半導体装置に関する。

【0002】

【従来の技術】ユーザーが手元で論理機能を書込むことができるLSIとして、PLD (Programmable Logic Device) が知られている。PLDには、AND平面とOR平面とを基本構造とする小規模なPLA (Programmable Logic Array) から、大規模なFPGA (Field Programmable Gate Array) にいたるまで、多くの種類がある。

【0003】これらは、いずれも、あらかじめチップ上に多くの論理回路等を配置するとともに、論理回路等相互を、プログラム可能なスイッチを介して接続し得るよう構成したものである。したがって、ユーザーが、これら多くのスイッチを所定のパターンにしたがって継断することにより、所望の論理機能を実現することができる。すなわち、PLDを用いることにより、短納期で、所望50 の論理機能を有するLSIを実現することができる。

【0004】このため、たとえば、機器を制御するマイクロコンピュータシステムのインターフェース回路として、PLDが用いられる。マイクロコンピュータシステムにおいては、制御対象となる機器に対応した専用のインターフェース回路が必要となるが、PLDを用いることにより、短納期で、種々の機器に対応した所望のインターフェース回路を実現することができる。

【0005】

【発明が解決しようとする課題】しかし、上記のような従来のPLDには、次のような問題点があった。従来のPLDは一つの独立したパッケージにより構成されているため、たとえば、上述のマイクロコンピュータシステムに用いた場合、インターフェース回路だけで一つのパッケージが必要となる。これでは、マイクロコンピュータシステムの集積度を上げることができない。

【0006】この発明はこのような問題点を解決し、短納期で所望の機能を実現することができ、かつ、集積度の高い半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1の積層基板体は、あらかじめ用意された複数の回路要素相互をプログラム可能なスイッチ手段を用いて継断することにより所望の機能を取得するプログラム可能な第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、第1の機能部に関連する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、を備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、を特徴とする。

【0008】請求項2の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、外部機器を制御する機能を備えており、前記第1の機能部が、第2の機能部と当該外部機器とを連結するインターフェース機能を備えていること、を特徴とする。

【0009】請求項3の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、情報を記憶する機能を備えており、前記第1の機能部が、第2の機能部に記憶された情報に関連する処理を行なう機能を備えていること、を特徴とする。

【0010】請求項4の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、アナログ処理を行なう機能を備えており、前記第1の機能部が、第2の機能部で行なわれるアナログ処理に関連するデジタル処理を行なう機能を備えていること、を特徴とする。

【0011】請求項5の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、前記第1の機能部を制御する機能を備えていること、を特徴とする。

【0012】請求項6の積層基板体は、請求項1ないし請求項5のいずれかの積層基板体において、電源からの

電力を前記第1の基板に供給するとともに、第1の基板を介して前記第2の基板に電力を供給するよう構成したこと、を特徴とする。

【0013】請求項7の積層基板体は、情報を記憶する機能を備えた第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、第1の機能部を制御する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、を備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、を特徴とする。

【0014】請求項8の積層基板体は、請求項1ないし請求項7のいずれかの積層基板体において、前記第1の基板および第2の基板が、ともに高電圧ラインを備えており、第1の基板の高電圧ラインの電圧と第2の基板の高電圧ラインの電圧とが実質的に同一になるよう構成したこと、を特徴とする。

【0015】請求項9の積層基板体は、請求項8の積層基板体において、前記第1の基板の高電圧ラインと第2の基板の高電圧ラインとを電気的に接続するための第1の入出力端子と第2の入出力端子との対を複数組設けるよう構成したこと、を特徴とする。

【0016】請求項10の積層基板体は、請求項1ないし請求項9のいずれかの積層基板体において、前記第1の基板または第2の基板の一方に、当該積層基板体の外部に対する入力または出力を行なう外部用端子を設け、前記外部用端子が設けられた基板に属する前記第1の入出力端子または第2の入出力端子のいずれかと、当該外部用端子とを電気的に接続するよう構成したこと、を特徴とする。

【0017】請求項11の半導体装置は、請求項1ないし請求項10のいずれかの積層基板体を備えたこと、を特徴とする。

【0018】なお、上記各請求項における「回路要素」とは、回路を構成する要素をいい、たとえば、論理素子、遅延素子、記憶素子、演算回路、配線など、あらゆる素子や回路を含む概念である。実施形態では、図3のデータ入力ラインL11、…やAND入力ラインL21、…等が、これに該当する。

【0019】「入出力端子」とは、なんらかの入力または出力を行なう端子をいい、たとえば、信号や電力の供給を受ける入力専用端子、供給するための出力専用端子、入出力兼用端子などを含む概念である。実施形態では、図1のパッド8a, 8b, …やパッド6a, 6b, …が、これに該当する。

【0020】

【発明の作用および効果】請求項1の積層基板体および請求項11の半導体装置は、プログラム可能な第1の機能部と第1の入出力端子とを有する第1の基板と、第1の機能部に関連する機能を備えた第2の機能部と第2の

入出力端子とを有する第2の基板とを備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるよう、第1の基板と第2の基板とを積層したことを特徴とする。

【0021】したがって、第1の機能部の機能を、第2の機能部や外部機器に対応させて柔軟に変更することができる。このため、新たな専用ICをつくることなく第1の機能部の機能を実現することができる。また、第1の基板と第2の基板とを積層することで、第1の機能部の機能と第2の機能部の機能とをともに備えた小さい投影面積を有する半導体装置を実現することができる。さらに、第1の基板と第2の基板とを多数積層することで、多数のICを用いて構成していた複雑なシステムを、一つの半導体装置で実現することができる。このため、このようなシステムを低コストで、かつ、コンパクトに実現することができる。

【0022】すなわち、短納期で所望の機能を実現することができ、かつ、集積度の高い安価な半導体装置を得ることができる。

【0023】請求項2の積層基板体は、第2の機能部が外部機器を制御する機能を備えており、第1の機能部が、第2の機能部と当該外部機器とを連結するインターフェース機能を備えていることを特徴とする。

【0024】したがって、たとえば、積層基板体を外部機器の制御装置に使用した場合、外部機器に対応させて柔軟にインターフェース機能を変更することができる。また、積層基板体を用いることで、省スペースの要求が大きい制御装置をコンパクトにすることができます。

【0025】請求項3の積層基板体は、第2の機能部が情報を記憶する機能を備えており、第1の機能部が、第2の機能部に記憶された情報に関連する処理を行なう機能を備えていることを特徴とする。

【0026】したがって、たとえば、積層基板体をDSP（デジタル・シグナル・プロセッサ）に使用した場合、第2の機能部をRAM（ランダム・アクセス・メモリ）として用いるとともに、信号処理の内容に対応させて柔軟に第1の機能部の機能を変更することができる。また、積層基板体を用いることで、コンパクトなDSPを得ることができる。

【0027】請求項4の積層基板体は、第2の機能部がアナログ処理を行なう機能を備えており、第1の機能部が、第2の機能部で行なわれるアナログ処理に関連するデジタル処理を行なう機能を備えていることを特徴とする。

【0028】したがって、たとえば、積層基板体を、PLL（位相同期ループ）回路を用いた周波数シンセサイザに使用した場合、第2の機能部をVCO（電圧制御発信回路）として用いるとともに、第1の機能部を、VCOの出力を分周する分周回路として用いることができる。この場合、出力すべき周波数に対応させて柔軟に分

周回路を変更することができる。また、積層基板体を用いることで、コンパクトな周波数シンセサイザを得ることができる。

【0029】請求項5の積層基板体は、第2の機能部が、前記第1の機能部を制御する機能を備えていることを特徴とする。

【0030】したがって、たとえば、第2の機能部を、第1の機能部をプログラムするための書き込み装置として用いた場合、外部の書き込み装置を必要としないPLDを実現することができる。

【0031】請求項6の積層基板体は、電源からの電力を第1の基板に供給するとともに、第1の基板を介して第2の基板に電力を供給するよう構成したことを特徴とする。

【0032】したがって、第1の機能部に対するプログラムの書き込みや消去に高電圧を要する第1の基板には、電源から低電圧電力をともに高電圧電力を供給し、高電圧を要しない第2の基板には、第1の基板を介して低電圧電力のみを供給することができる。このため、第2の基板のみを高耐圧仕様とすれば十分である。すなわち、第2の基板は低耐圧仕様とすることで、第2の基板を構成する回路要素の集積度を上げることができる。

【0033】請求項7の積層基板体は、情報を記憶する機能を備えた第1の機能部と第1の入出力端子とを有する第1の基板と、第1の機能部を制御する機能を備えた第2の機能部と第2の入出力端子とを有する第2の基板とを備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように第1の基板と第2の基板とを積層したことを特徴とする。

【0034】したがって、たとえば、第2の機能部を、第1の機能部に対する情報の書き込み装置として用いた場合、外部の書き込み装置を必要としない情報記憶装置を実現することができる。また、第1の基板と第2の基板とを積層することで、情報を記憶する機能と例えば情報を書込む機能とをともに備えた小さい投影面積を有する情報記憶装置を実現することができる。

【0035】請求項8の積層基板体は、第1の基板および第2の基板がともに高電圧ラインを備えており、第1の基板の高電圧ラインの電圧と第2の基板の高電圧ラインの電圧とが実質的に同一になるよう構成したことを特徴とする。

【0036】したがって、第1の入出力端子と第2の入出力端子とを電気的に接続することにより、第1の基板の高電圧ラインと第2の基板の高電圧ラインとを、双方の基板で共用することができる。このため、高電圧用の配線等に必要なスペースを節約することができる。

【0037】請求項9の積層基板体は、第1の基板の高電圧ラインと第2の基板の高電圧ラインとを電気的に接続するための第1の入出力端子と第2の入出力端子との

対を複数組設けるよう構成したことを特徴とする。

【0038】したがって、第1の入出力端子と第2の入出力端子とを接続する際の接続抵抗が大きい場合であっても、複数の接続箇所を設けることで該接続抵抗を減少させることができる。

【0039】請求項10の積層基板体は、第1の基板または第2の基板の一方に外部用端子を設け、外部用端子が設けられた基板に属する第1の入出力端子または第2の入出力端子のいずれかと、当該外部用端子とを電気的に接続するよう構成したことを特徴とする。

【0040】したがって、たとえば、第1の基板に外部用端子を設けた場合、当該外部用端子と第2の基板の第2の入出力端子とを、第1の基板の第1の入出力端子を介して、電気的に接続することができる。このため、外部用端子が設けられていない第2の基板と、外部用端子との間で、電力や信号の授受を直接行なうことが可能となる。

【0041】

【発明の実施の形態】図1に、この発明の1実施形態による半導体装置であるLSI(高密度集積回路)2の断面構成を示す。LSI2は、パッケージ12の上に、積層基板体である積層チップ4を載置して固定した構成を有している。積層チップ4は、第1の基板である第1チップ8および第2の基板である第2チップ6を積層して一体化したチップである。

【0042】図2に、積層チップ4の分解斜視図を示す。第1チップ8および第2チップ6は、いずれも半導体により構成されたICチップである。この実施形態においては、第1チップ8には、プログラム可能な第1の機能部として、FPGA(フィールド・プログラマブル・ゲート・アレー)が形成されており、第2チップ6には、第2の機能部として、CPU(中央処理ユニット)が形成されている。

【0043】第1チップ8は、上面に第1の入出力端子である複数のパッド8a, 8b, ...を備えている。この実施形態においては、パッド8a, 8b, ...は、FPGAに対する入出力を行なうためのパッドである。また、第1チップ8の上面の外周近傍には、外部に対する入出力を行なうための複数のパッド10(外部用端子)が設けられている。

【0044】第2チップ6は、下面に第2の入出力端子である複数のパッド6a, 6b, ...を備えている。この実施形態においては、パッド6a, 6b, ...は、CPUに対する入出力を行なうためのパッドである。

【0045】各パッド8a, 8b, ...とパッド6a, 6b, ...とは、互いに対向する位置に設けられている。互いに対抗する位置に設けられたパッド8a, 8b, ...とパッド6a, 6b, ...の一方を、たとえば金(Au)で形成し、他方を、たとえば錫(S

u)で形成することで、共晶を利用したバンプ技術により、パッド8a, 8b, ...とパッド6a, 6b, ...とを接合している。

【0046】このようにして形成された積層チップ4は、図1に示すように、パッケージ12の上に載置して固定される。パッケージ12に設けられたパッド14と、第1チップ8に設けられたパッド10とは、ボンディングワイヤ16により接続される。なお、積層チップ4およびボンディングワイヤ16は、エポキシ樹脂等を用いた封止部材(図示せず)により封止されている。

【0047】この実施形態においては、LSI2は、外部機器を制御するコントローラとして使用される。すなわち、第2チップ6に形成されたCPU(図示せず)を用いて、外部機器の制御を行なう。外部機器は、パッケージ12に設けられたパッド14に電気的に接続される。第1チップ8に形成されたFPGAは、CPUと外部機器とを連結するインターフェース回路として機能する。

【0048】したがって、FPGAのプログラムを変更することで、外部機器に対応した所望のインターフェース回路を得ることができる。このため、新たな専用インターフェース回路を持つICをつくることなく所望のインターフェース回路を実現することができる。すなわち、新たな専用ICを開発したり、専用ICのための製造工程を別途設けたりする必要がない。

【0049】また、積層チップ4を用いることで、省スペースの要求が大きいこの種のコントローラをコンパクトに形成することができる。なお、この実施形態においては、外部機器を制御するためのプログラムは、ROM(読み専用メモリ)チップ(図示せず)として、LSI2の外部に配置され、パッケージ12に設けられたパッド14を介して、CPUに送られる。

【0050】また、LSI2の外部には電源(図示せず)が設けられており、当該電源から、パッド14を介して第1チップ8に電力が供給され、さらに第1チップ8を介して第2チップ6に電力が供給される。

【0051】したがって、FPGAに対するプログラムの書き込みや消去に高電圧を要する第1チップ8には、電源から低電圧電力とともに高電圧電力を供給し、高電圧を要しないCPUを搭載した第2チップ6には、第1チップ8を介して低電圧電力のみを供給することが可能となる。このため、第1チップ8のみを高耐圧仕様とすれば十分である。すなわち、第2チップ6は低耐圧仕様とすることができるので、CPUを搭載した第2チップ6の集積度を上げることができる。

【0052】図3に、第1チップ8に形成されたFPGAを構成するロジックアレー20の回路構成の一例を模式的に示す。FPGAは、比較的複雑な構成のPLDであり、FPGAのロジックアレー20は、AND平面部22とOR平面部24とを備えている。なお図3は、説

明のために、ロジックアレー20の回路構成の一部を抜き出して示した図であり、実際のロジックアレー20は、より複雑な構成を持っている。

【0053】図3の例では、AND平面部22は、回路要素である4本のデータ入力ラインL11、L12、L13、L14、4本のAND入力ラインL21、L22、L23、L24、および、4個のANDゲートAND1、AND2、AND3、AND4を備えている。

【0054】AND平面部22の、データ入力ラインL11～L14とAND入力ラインL21～L24との16個の交点には、プログラム可能なスイッチ手段であるスイッチSW11～SW44が設けられている。

【0055】OR平面部24は、回路要素である4本のAND出力ラインL31、L32、L33、L34、3本のOR入力ラインL41、L42、L43、3個のORゲートOR1、OR2、OR3、および、3本のOR出力ラインL51、L52、L53を備えている。

【0056】AND平面部22同様、OR平面部24の、AND出力ラインL31～L34とOR入力ラインL41～L43との12個の交点には、プログラム可能なスイッチ手段であるスイッチSW51～SW83が設けられている。

【0057】なお、図3においては説明の便宜上、4個のANDゲートAND1、AND2、AND3、AND4と、3個のORゲートOR1、OR2、OR3とを用いるよう記載したが、実際の回路においては、これらのゲートに替え、7個のNANDゲートを用いて、図3と論理的に等価な回路を実現している。

【0058】図4A、図4B、図4Cに、プログラム可能なスイッチ手段（たとえば、スイッチSW11）の具体例を示す。スイッチSW11として、図4Aに示すヒューズを用いることができる。この場合、データ入力ラインL11とAND入力ラインL21とを切り離すには、このヒューズを焼ければよい。

【0059】ヒューズの場合とは逆に、あらかじめ絶縁しておき、絶縁を破壊することによりデータ入力ラインL11とAND入力ラインL21とを導通させるよう構成したアンチヒューズ（図示せず）を、スイッチSW11として用いることができる。また、スイッチSW11として、図4Bに示すフラッシュメモリやEEPROM（Erectically Erasable and Programmable Read Only Memory）を用いることもできる。EEPROMを用いることにより論理機能の書き換えが可能となる。

【0060】また、論理機能の書き換えをリアルタイムで行なわせるために、スイッチSW11として、図4Cに示すSRAM（Static Random Access Memory）を用いることもできる。

【0061】さらに、スイッチSW11として、強誘電体を用いたメモリを使用することもできる。強誘電体を用いたメモリを使用することにより、不揮発性で、か

つ、高速度で書換え可能なスイッチSW11を実現することができる。

【0062】図5に、強誘電体を用いたメモリを使用したスイッチSW11の回路構成の一例を示す。この例では、スイッチSW11は、強誘電体トランジスタ30を備えている。

【0063】ゲート端子Gとデータ入力ラインL11との間に、所定の電圧を印加すると、強誘電体層FEは分極するが、印加する電圧の向きにより、強誘電体層FEの分極方向が異なる。強誘電体層FEの分極方向が異なると、同一のゲート電圧に対するドレイン電流の値が異なる。この性質を利用して、スイッチSW11の閉状態と開状態を作り出すよう構成している。

【0064】ゲート端子Gとデータ入力ラインL11との間に印加する電圧の向きと、強誘電体層FEの分極方向との関係は、他の要素の影響を受けるため必ずしも固定されたものではないが、少なくとも同一条件下においては、同一の関係をもたらす。

【0065】したがって、たとえば、データ入力ラインL11に対して、ゲート端子Gが正となる向きの電圧を印加すると、所定のゲート電圧に対し、しきい値以上のドレイン電流が流れる方向に分極し、逆向きの電圧を印加すると、所定のゲート電圧に対し、しきい値より小さい値のドレイン電流しか流れない方向に分極したとすれば、前者がスイッチSW11の閉状態、後者がスイッチSW11の開状態である。

【0066】このように、ゲート端子Gとデータ入力ラインL11との間に印加する電圧の向きを替えることにより、スイッチSW11の継断データを、書き換えることができる。

【0067】なお、図5の例においては、ゲート端子Gとデータ入力ラインL11との間に印加する電圧の向きを替えることにより、強誘電体層FEの分極方向を異ならせるよう構成したが、強誘電体層FEのゲート端子Gと反対側の端部に電極端子を接続してこれをメモリゲート端子MGとし、ゲート端子Gとメモリゲート端子MGとの間に印加する電圧の向きを替えることにより、強誘電体層FEの分極方向を異ならせるよう構成することもできる。

【0068】また、スイッチSW11に使用するための強誘電体を用いたメモリとしては、図5に示す強誘電体トランジスタ30を備えたメモリ以外に、たとえば、強誘電体コンデンサを備えたメモリ（図示せず）を使用することもできる。

【0069】なお、上述の実施形態においては、LSI2が、外部機器を制御するコントローラとして使用される場合を例に説明したが、この発明はこれに限定されるものではない。たとえば、LSI2が汎用のFPGAとして使用される場合にも、この発明を適用することができる。

【0070】この場合、第1チップ8には、前述の実施形態と同様に、第1の機能部としてFPGAが形成される。一方、第2チップ6には、第2の機能部として、FPGAへのプログラムの書き込みや消去をおこなう書き込み回路を形成しておく。このようにすれば、外部の書き込み装置を必要としないFPGAを実現することができる。

【0071】また、LSI2をDSP（デジタル・シグナル・プロセッサ）として使用する場合にも、この発明を適用することができる。LSI2をDSPとして用いるためには、第2チップ6に、第2の機能部として、RAM（ランダム・アクセス・メモリ）を形成しておく。

【0072】一方、第1チップ8には、前述の実施形態と同様に、第1の機能部としてFPGAを形成しておくが、この場合、FPGAが信号処理部として機能するようにプログラムしておく。

【0073】このように設定しておけば、FPGAは、第2チップ6に形成されたRAMから与えられた信号に所定の処理を施した後、LSI2外部に出力したり、LSI2外部から与えられた信号に所定の処理を施した後、第2チップ6に形成されたRAMに蓄積したりすることができる。

【0074】FPGAのプログラムを変更することで、信号処理の内容を容易に変更することができる。また、積層チップ4を用いることで、コンパクトなDSPを実現することができる。

【0075】また、たとえば、第1チップ8にFPGAを形成するとともに、第2チップ6にフラッシュメモリを形成するよう構成することもできる。この場合、第1チップ8のFPGAおよび第2チップ6のフラッシュメモリともに、書き込み・消去のための高電圧ラインを必要とする場合がある。このような場合、FPGAの書き込み・消去に要する電圧と、フラッシュメモリの書き込み・消去に要する電圧とが同一になるよう設定しておくと好都合である。

【0076】電圧をこのように設定しておくと、第1チップ8および第2チップ6双方の高電圧ラインを、パッド8a, 8b, ..., 6a, 6b, ...のいずれかを介して、当該双方のチップ間で共用することができる。このため、高電圧用の配線等に必要なスペースを節約することができる。

【0077】さらにこの場合、当該高電圧ラインを接続するためのパッドを、複数組形成しておけば、接続抵抗を小さくすることができ、好都合である。パッド8a, 8b, ..., 6a, 6b, ...の接続方法として、上述のバンプ技術や、後述する異方性導電体を用いる場合には、接続抵抗が大きくなる傾向があるため、このように、接続点を並列に形成して接続抵抗を小さくすることが特に好ましい。

【0078】また、たとえば、LSI2を、PLL（位

相同期ループ）回路を用いた周波数シンセサイザとして使用することができる。この場合には、第2チップ6に、第2の機能部として、アナログ回路であるVCO（電圧制御発信回路）を形成しておく。

【0079】一方、第1チップ8には、前述の実施形態と同様に、第1の機能部としてFPGAを形成しておくが、この場合、FPGAが、VCOの出力を分周したのち再びVCOにフィードバックするような回路をとして機能するようにプログラムしておく。

10 【0080】このように設定しておけば、LSI2を、PLL回路を用いた周波数シンセサイザとして使用することができる。この場合、FPGAのプログラムを変更することで、出力すべき周波数を容易に変更することができる。また、積層チップ4を用いることで、コンパクトな周波数シンセサイザを得ることができる。

【0081】なお、このように、第2チップ6に、第2の機能部としてアナログ回路を搭載する場合、アナログ信号の授受が必要となるパッドは、バッファを介在しないパッドとしておくとよい。

20 【0082】また、この場合、第1チップ8に設けられたパッド10のいずれかと、たとえばパッド8aとを導通状態にしておく（スルーパッド）ことにより、パッド10と第2チップ6のパッド6aとを、パッド8aを介して電気的に接続することができる。このため、第2チップ6に外部用端子を直接設けることができない場合であっても、たとえば、第1チップ8に設けられたパッド10をアナログ信号の入出力端子として用いたり、パッド10をアナログ回路専用の電源端子として用いたりすることができ、好都合である。

30 【0083】上述の各実施形態においては、第1チップ8に、第1の機能部としてFPGAを形成した場合を例に説明したが、この発明はこれに限定されるものではない。たとえば、第1チップ8に、第1の機能部としてメモリ装置を形成するよう構成することができる。この場合、第2チップ6に、第2の機能部として、該メモリ装置に対するデータの書き込みや消去を行なう書き込み回路を形成しておくとよい。

【0084】このように構成すれば、外部の書き込み装置を必要としない情報記憶装置を実現することができる。

40 40 また、第1チップ8と第2チップ6とを積層することで、情報を記憶する機能と情報を書き込む機能とをともに備えた小さい投影面積を有する情報記憶装置を実現することができる。

【0085】なお、上述の各実施形態においては、図1に示すように、パッド8a, 8b, ...とパッド6a, 6b, ...とを電気的に接続する方法として、バンプ技術を用いた場合を例に説明したが、この発明はこれに限定されるものではない。たとえば、ハンダ技術を用いて、パッド8a, 8b, ...とパッド6a, 6b, ...とを電気的に接続することもできる。

【0086】また、図6に示すように、異方性導電体18を用いてパッド8a, 8b, …とパッド6a, 6b, …とを電気的に接続することもできる。異方性導電体10は、一方向にのみ導電性を有する導電体で、接着性を有している。異方性導電体として、たとえば熱硬化性の接着剤であるアニソルム（日立化成）を用いることができる。

【0087】このような異方性導電体18を用いることにより、第1チップ8および第2チップ6を強固に接着することができる。異方性導電体18を用いて、第1チップ8および第2チップ6を強固に接着することにより、互いに対向する位置に設けられたパッド8a, 8b, …とパッド6a, 6b, …とが、電気的に接続される。

【0088】また、上述の各実施形態においては、図1に示すように、積層チップ4をパッケージ12に固定するとともに、積層チップ4のパッド10とパッケージ12に設けられたパッド14とをボンディングワイヤ16を用いて接続するよう構成したが、この発明はこのような構成に限定されるものではない。

【0089】たとえば、図7に示すように、積層チップ4を、フィルム状の合成樹脂基板に直接、実装することもできる。このように、積層チップ4を実装した基板を、タブ（t a b : tape automated bonding）26という。タブ26にはプリント配線（図示せず）が施されており、プリント配線のパッド部（図示せず）と積層チップ4のパッド10とが接合される。なお、上述の各実施形態の場合と同様に、積層チップ4は、エポキシ樹脂等を用いた封止部材（図示せず）により封止されている。

【0090】また、図8に示すように、パッド10を第1チップ8の下面（すなわち、パッド8a, 8b, …の設けられた面の反対側の面）に設けることが可能な場合には、積層チップ4を、タブ26の上面に積み上げるように実装することもできる。

【0091】なお、上述の各実施形態においては、第1チップ8に電力が供給され、さらに第1チップ8を介して第2チップ6に電力が供給されるよう構成したが、この発明はこれに限定されるものではない。たとえば、第2チップ6に電力が供給され、さらに第2チップ6を介して第1チップ8に電力が供給されるよう構成することもできる。また、第1チップ8と第2チップ6との配置関係を上下逆にすることもできる。

【0092】また、上述の各実施形態においては、2つのチップを重ねた積層チップ4を例に説明したが、3つ以上のチップを重ねた積層チップにも、この発明を適用することができる。

【0093】図9は、第1チップ8の上に、第2チップ32および第3チップ34を横に並べて配置した構成を有する積層チップ36を示す図面である。積層チップ36は、パッケージ12に載置されて固定されている。

【0094】たとえば、第1チップ8にFPGAを形成してインターフェース回路の働きをするようプログラムしておき、第2チップ32にCPUを形成するとともに、第3チップ34にROMを形成すれば、一つの積層チップ36で、外部機器を制御するためのコントローラを実現することができる。なお、この場合、第1チップ8が第1の基板に該当し、第2チップ32および第3チップ34が第2の基板に該当する。

【0095】図11は、第1チップ8（第1の基板に該当）の上に多数のチップ（第2の基板に該当）50a, 50b, …, 50gを、横に並べて配置した構成を有する積層チップ52を示す分解斜視図である。

【0096】たとえば、図12に示すようなコンパクトディスクシステム60を構成する各機能部、たとえば、RFアンプ62、DSP64, DF・DAC66, CD-Gデコーダ68, RGBエンコーダ70, CDドライバ72等を、それぞれ、図11のチップ50a, 50b, …, 50gとして形成するとともに、システムコントロールマイコン74および各チップ間の結線（図示せず）などをFPGAとして第1チップ8に形成することができる。

【0097】なお、図12に示すコンパクトディスクシステム60は、従来、RFアンプ62、DSP64, DF・DAC66, CD-Gデコーダ68, RGBエンコーダ70, CDドライバ72、システムコントロールマイコン74等の各機能部をそれぞれ、別のICとして形成し、これらを、1枚のボードに搭載するよう構成していた。したがって、コンパクト性に欠け、製造コストも高かった。

【0098】図11のように構成すれば、従来、一つのボードに複数のICを搭載することにより実現していたコンパクトディスクシステム60のような複雑なシステムを、一つの積層チップ52、すなわち、一つのICにより実現することができる。このため、複雑なシステムを、コンパクトかつ低コストで実現することができる。

【0099】図10は、第1チップ8の上に第2チップ40を載せて固定するとともに、第2チップ40の上に第3チップ42を載せて固定した構成を有する積層チップ44を示す図面である。積層チップ44は、パッケージ12に載置されて固定されている。

【0100】このように、接続すべきパッドをチップ（この例では第2チップ40）の下面および上面の双方に設けることが可能な場合には、3層以上のチップを積層することが容易になる。この場合、第1チップ8が第1の基板に該当し、第2チップ40が第2の基板に該当する。

【0101】なお、チップが3層以上積層されている場合、たとえば図10のような場合、第1チップ8と第3チップ42とが、第2チップ40に設けられた配線（図示せず）を介して電気的に接続されているような場合に

は、第3チップ42も第2の基板に該当する。また、第2チップ40が第1の基板に該当するような場合には、第1チップ8および第3チップ42が、第2の基板に該当する。

【0102】なお、上述の各実施形態においては、プログラム可能な第1の機能部の一例としてFPGAを例に説明したが、この発明はこれに限定されるものではない。たとえば、プログラム可能な第1の機能部としてPLDの一種であるPLA等を用いた場合にも、この発明を適用することができる。

【図面の簡単な説明】

【図1】この発明の1実施形態による半導体装置であるLSI(高密度集積回路)2の断面構成を示す図面である。

【図2】積層チップ4の分解斜視図である。

【図3】第1チップ8に形成されたFPGAを構成するロジックアレー20の回路構成の一例を模式的に示した図面である。

【図4】図4A、図4B、図4Cは、プログラム可能なスイッチ手段の具体例を示す図面である。

【図5】強誘電体を用いたメモリを使用したスイッチSW11の回路構成の一例を示す図面である。

【図6】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図7】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図8】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図9】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図10】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図11】この発明の他の実施形態による積層チップの分解斜視図である。

【図12】コンパクトディスクシステム60の構成を示す機能ブロック図である。

【符号の説明】

2 LSI

4 積層チップ

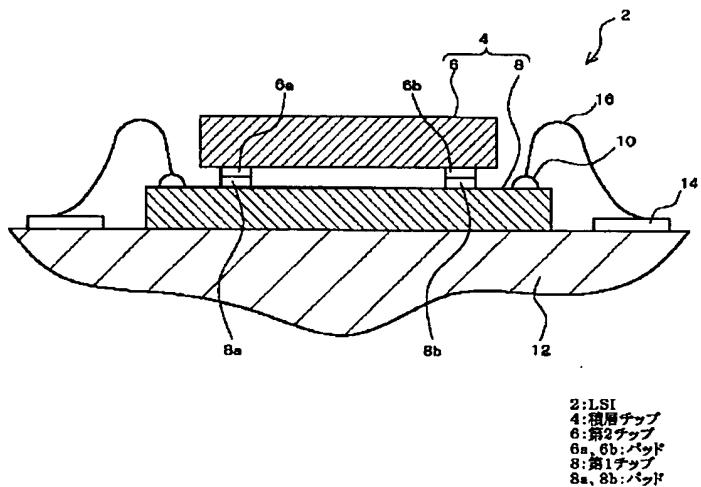
6 第2チップ

6a, 6b パッド

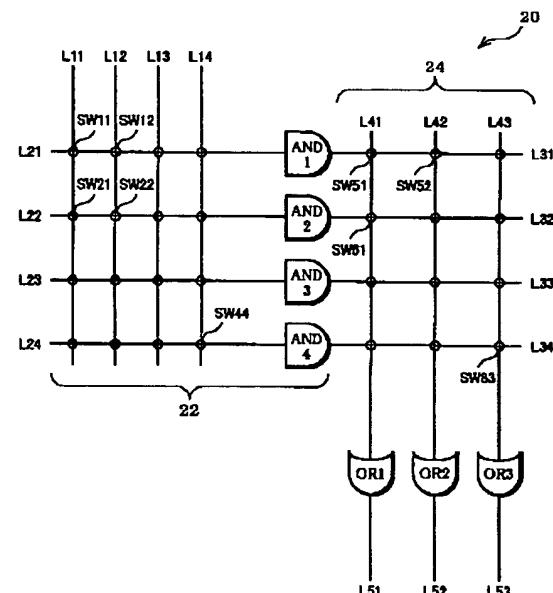
8 第1チップ

8a, 8b パッド

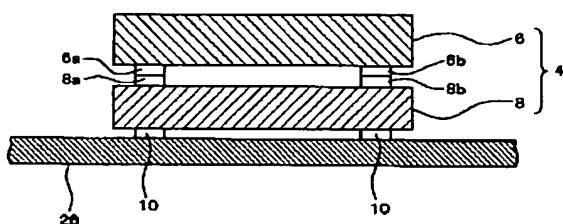
【図1】



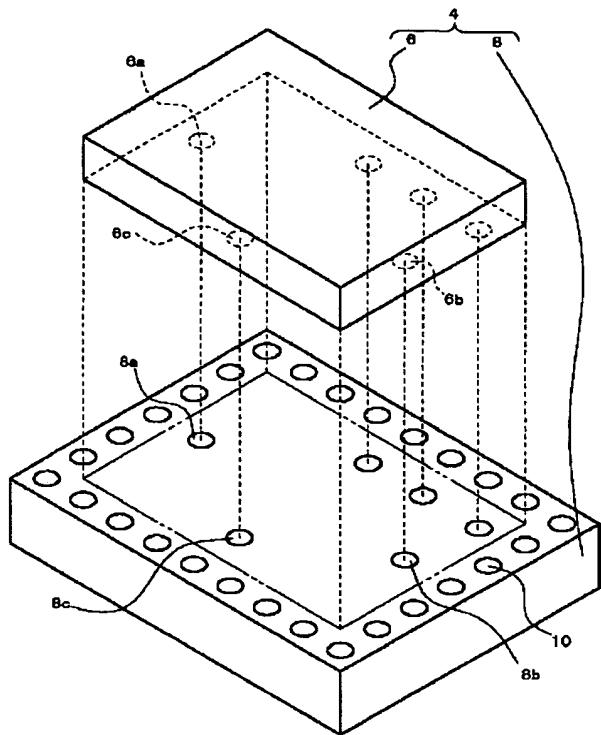
【図3】



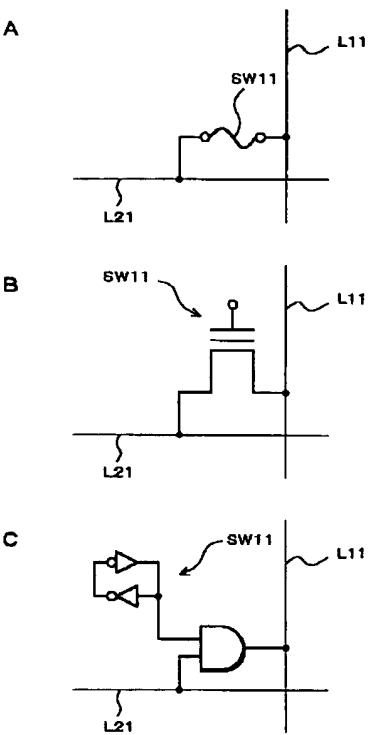
【図8】



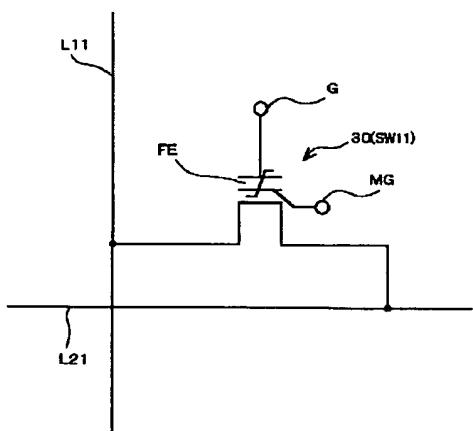
【図2】



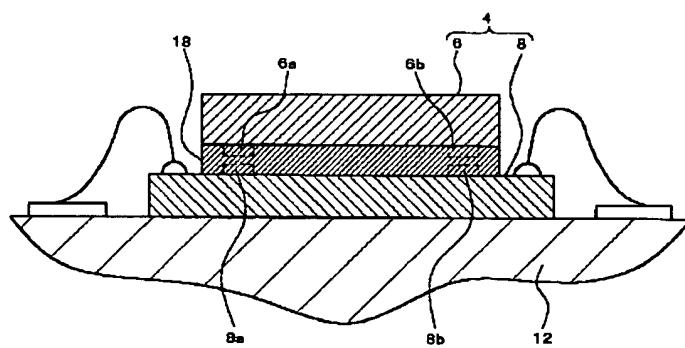
【図4】



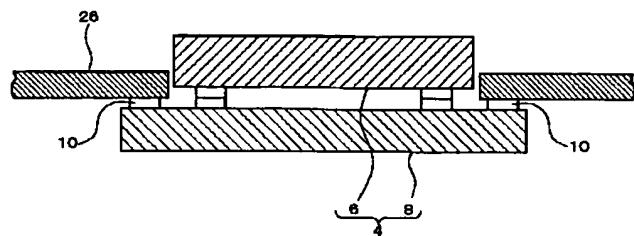
【図5】



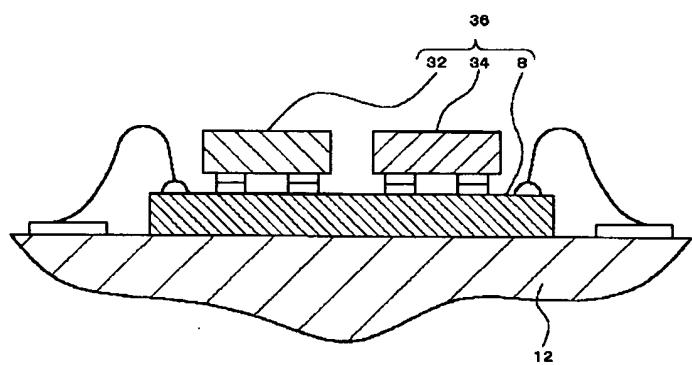
【図6】



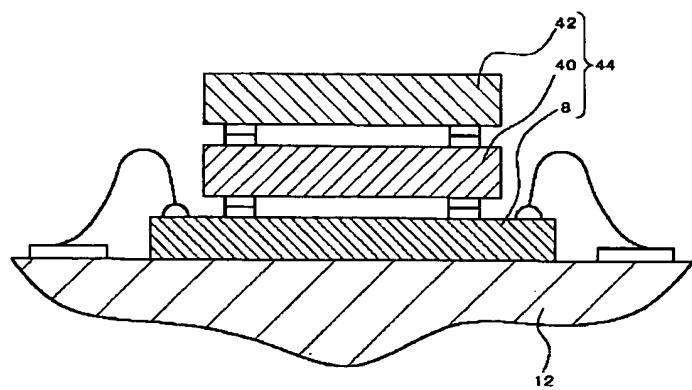
【図 7】



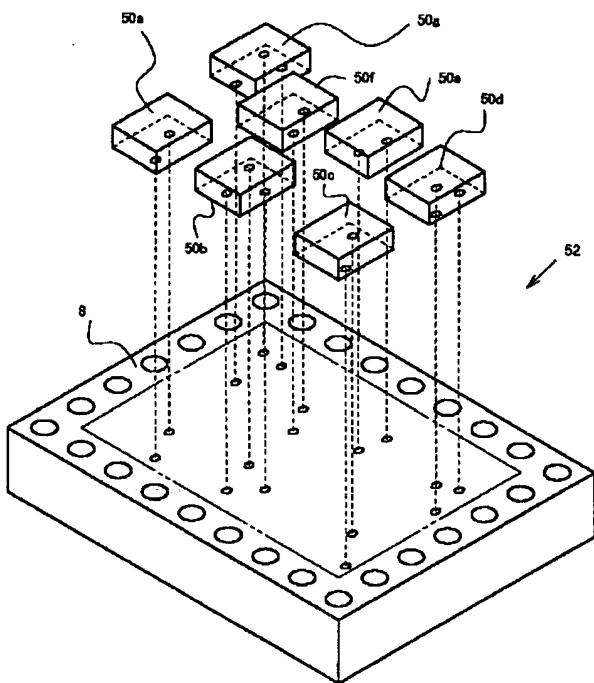
【図 9】



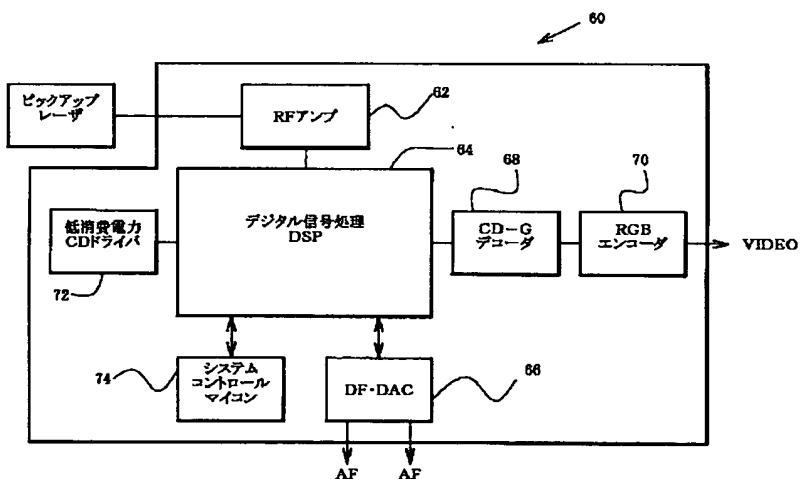
【図 10】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 03K 19/173

101